

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-267096
(P2007-267096A)

(43) 公開日 平成19年10月11日(2007.10.11)

| | | |
|------------------------------|-------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| H03K 5/13 (2006.01) | H03K 5/13 | 5J001 |
| H03K 5/1532 (2006.01) | H03K 5/00 E | 5J039 |

審査請求 未請求 請求項の数 5 O L (全 16 頁)

| | | | |
|-----------|----------------------------|----------|---|
| (21) 出願番号 | 特願2006-90098 (P2006-90098) | (71) 出願人 | 591230295 NTTエレクトロニクス株式会社 東京都渋谷区道玄坂1丁目12番1号 |
| (22) 出願日 | 平成18年3月29日 (2006.3.29) | (74) 代理人 | 100082175 弁理士 高田 守 |
| | | (74) 代理人 | 100106150 弁理士 高橋 英樹 |
| | | (72) 発明者 | 豊田 修弘 東京都渋谷区道玄坂一丁目12番1号 渋谷マークシティ エヌティティエレクトロニクス株式会社内 |
| | | (72) 発明者 | 本多 篤幸 東京都渋谷区道玄坂一丁目12番1号 渋谷マークシティ エヌティティエレクトロニクス株式会社内 |

最終頁に続く

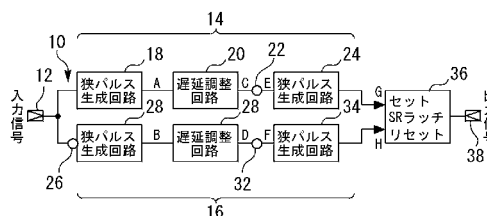
(54) 【発明の名称】 信号伝達回路

(57) 【要約】

【課題】この発明は、信号伝達回路に関し、デジタル信号を、ジッタを生じさせることなく遅延経路の後段まで伝達させることを目的とする。

【解決手段】入力端子12の後段に、セットパルス伝達回路14とリセットパルス伝達回路16を配置する。セットパルス伝達回路14は、狭パルス生成回路18、遅延調整回路20、インバータ22、及び狭パルス生成回路24を備える。リセットパルス伝達回路16は、インバータ26、狭パルス生成回路28、遅延調整回路30、インバータ32、及び狭パルス生成回路34を備える。狭パルス生成回路18, 24, 28, 34は、アップエッジを受けて所定幅の狭パルスが発生する。狭パルス生成回路24, 34の出力は、それぞれ、SRラッチ36のセット端子及びリセット端子に供給される。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

入力側に供給されるデジタル信号の変化を受けて、第 1 のパルス幅を有する狭パルスを発生する狭パルス生成回路と、

前記狭パルスの後段に配置され、当該狭パルスの伝達に遅延を生じさせる遅延回路と、

前記遅延回路から出力される狭パルスの終端側エッジを受けてデジタル信号を再生する信号再生回路と、

を有することを特徴とする信号伝達回路。

【請求項 2】

前記狭パルス生成回路は、入力側に供給されるデジタル信号のアップエッジを受けて狭パルスを生成するアップ側狭パルス生成回路と、前記デジタル信号のダウンエッジを受けて狭パルスを生成するダウン側狭パルス生成回路とを含み、

前記遅延回路は、前記アップ側狭パルス生成回路の後段に配置されるアップ側遅延回路と、前記ダウン側狭パルス生成回路の後段に配置されるダウン側遅延回路とを含み、

前記信号再生回路は、前記アップ側遅延回路から出力される狭パルスの終端側エッジを受けて出力信号を第 1 値から第 2 値に変化させ、かつ、前記ダウン側遅延回路から出力される狭パルスの終端側エッジを受けて出力信号を第 2 値から第 1 値に変化させることを特徴とする請求項 1 記載の信号伝達回路。

【請求項 3】

前記信号再生回路は、

前記アップ側遅延回路から出力される狭パルスの終端側エッジを受けて第 2 のパルス幅を有する狭パルスを発生するアップ側第 2 狭パルス生成回路と、

前記ダウン側遅延回路から出力される狭パルスの終端側エッジを受けて第 2 のパルス幅を有する狭パルスを発生するダウン側第 2 狭パルス生成回路と、

前記アップ側第 2 狭パルス生成回路から出力される狭パルスを、セット端子及びリセット端子の一方で受け、かつ、前記ダウン側第 2 狭パルス生成回路から出力される狭パルスを、前記セット端子及びリセット端子の他方で受ける SR ラッチと、

を含むことを特徴とする請求項 2 記載の信号伝達回路。

【請求項 4】

前記第 1 のパルス幅に比して、前記第 2 のパルス幅が狭いことを特徴とする請求項 3 記載の信号伝達回路。

【請求項 5】

前記狭パルス生成回路は、入力側に供給されるデジタル信号のアップエッジ及びダウンエッジの双方に対してそれぞれ狭パルスを発生する両エッジ狭パルス生成回路を含み、

前記信号再生回路は、前記遅延回路から出力される狭パルスの終端側エッジを受けて出力信号を第 1 値と第 2 値との間で反転させるダウンエッジトリガ式の T フリップフロップを含むことを特徴とする請求項 1 記載の信号伝達回路。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、信号伝達回路に係り、特に、遅延回路を含む信号伝達経路内を、デジタル信号を正確に伝達させるための信号伝達回路に関する。

【背景技術】**【0002】**

図 1 は、特開平 11 - 304888 号公報に開示される半導体試験装置のブロック図を示す。図 1 に示す半導体試験装置は、試験対象である半導体デバイス (DUT) に対して、種々の試験信号を供給するための装置である。図 1 には、DUT が有する一つのピンに対して試験信号を供給するための構成が示されている。上記従来半導体試験装置は、図 1 に示すブロック構成を、DUT の複数ピンに対応して、複数組み有している。

【0003】

10

20

30

40

50

図1に示すブロック構成は、パターン発生器PGを有している。パターン発生器PGは、試験信号のパターンを発生するためのユニットであり、正転信号を出力する正転出力端子と反転信号を出力する反転出力端子を備えている。正転出力端子からは、所定のレートでパルス化されたデジタル信号が、シリアルに出力される。また、反転出力端子からは、正転出力端子から出力される信号の反転信号が出力される。

【0004】

パターン発生器PGの正転出力端子には、セットパルス生成部が接続されている。セットパルス生成部は、PGから供給される正転信号のアップエッジを受けてパルス信号を生成するTGDと、そのパルス信号に所望の遅延を与えるための可変遅延手段とを備えている。このため、セットパルス生成部からは、正転信号のアップエッジに対して所望の遅延を伴ったセットパルスSP10が出力される。

10

【0005】

パターン発生器PGの反転出力端子には、リセットパルス生成部が接続されている。リセットパルス生成部は、セットパルス生成部と同様にTGDと可変遅延手段とを備えている。リセットパルス生成部は、PGから反転信号の供給を受けているため、反転信号のアップエッジに対して（従って、正転信号のダウンエッジに対して）所望の遅延を伴ったリセットパルスRP11を出力する。

【0006】

セットパルス生成部及びリセットパルス生成部の後段には、SRラッチ70が配置されている。SRラッチ70のセット端子Sには、セットパルスSP10が供給されている。他方、SRラッチ70のリセット端子Rには、リセットパルスRP11が供給されている。SRラッチは、S端子及びR端子の状態に応じて、出力端子Qを下記の状態とするデバイスである。

20

【0007】

| S端子 | R端子 | Q端子 |
|-----|-----|-----|
| L | L | 維持 |
| H | L | H |
| L | H | L |
| H | H | 禁止 |

【0008】

尚、上記の規則において、「維持」とは、従前の出力Qが維持されることを意味する。また、「禁止」とは、出力Qが不安定になるため、S端子及びR端子への入力を、共にHとすることは禁止されていることを意味する。

30

【0009】

図2は、図1に示す半導体試験装置の動作を説明するためのタイミングチャートである。より具体的には、図2中、「SP10」の欄は、セットパルスSP10の発生タイミングを示す。また、「SP11」は、リセットパルスRP11の発生タイミングを示す。そして、「W1」の欄は、SRラッチ70の端子Qから出力される試験波形を示す。

【0010】

セットパルスSP10は、PGから発せられる正転信号のアップエッジを受けて発生する。上記の規則によれば、セットパルスSP10の発生を受けて、SRラッチ70は、端子Qの出力をHとする。リセットパルスRP11は、PGから発せられる正転信号のダウンエッジを受けて発生する。SRラッチ70は、このリセットパルスRP11を受けて、端子Qの出力をLとする。その結果、試験波形W1は、PGから発せられる正転信号と同じデジタル信号となる。

40

【0011】

図1に示す構成において、SRラッチ70によって生成された試験波形W1は、ドライバを介してDUTのピンに供給される。このため、図1に示す半導体試験装置によれば、パターン発生器PGが発生するパターン（正転信号）を、所望の遅延を施したうえで、DUTのピンに供給することができる。

【0012】

50

【特許文献1】特開平11-304888号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

上述した半導体試験装置において、SRラッチ70は、セットパルスSP10及びリセットパルスRP11の発生を受けて端子Qの状態を変化させる。つまり、SRラッチ70は、S端子の立ち上がりを検知した時点で端子QをHとし、R端子の立ち上がりを検知した時点で端子QをLとする。

【0014】

セットパルスSP10は、PGが発生する試験信号（正転信号）が立ち上がることにより立ち上がる。PGは、様々なパターンで試験信号を生成するため、その立ち上がり方には、種々のバリエーションが存在する。具体的には、試験信号の立ち上がりは、1ビットのL信号に続いて生ずることもあれば、6ビットのL信号に続いて立ち上がることもある。

【0015】

図3は、試験信号の立ち上がり方と、セットパルスSP10の立ち上がり方との関係を説明するための図である。具体的には、図3(A)は、試験信号が1ビットのL信号に続いて立ち上がった場合に、セットパルス生成部によって生成されるセットパルスSP10の波形を示す。また、図3(B)及び図3(C)は、それぞれ、試験信号が2ビットのL信号、又は6ビットのL信号に続いて立ち上がった場合に生成されるセットパルスSP10の波形を示す。そして、図3(D)は、SP10の立ち上がり部分を拡大した図である。

【0016】

セットパルスSP10に所望の遅延を与えるための可変遅延手段は、バッファアンプを直列に多段接続した構成を有している。PGの発する試験信号が、6ビット連続でL信号であった場合、可変遅延手段に対しても、6ビットに相当する期間中、連続してL信号が供給される。この場合、可変遅延手段を構成する全てのバッファアンプの入力は、十分に低い値に収束する。

【0017】

上記の状況下で試験信号が立ち上がると、TGDによってパルスが生成され、そのパルスの立ち上がりが、多段に接続されたバッファアンプに順次伝達される。この際、個々のバッファアンプは、それらに対する入力が十分に下がっていたため、パルスの立ち上がりを、比較的長い遅延を伴って後段に伝える。このため、可変遅延手段を通過する間に、セットパルスSP10の立ち上がり時期には、比較的大きな遅延が付与される。

【0018】

他方、PGの発する試験信号が、1ビットのL信号の後に立ち上がった場合、つまり、試験信号が、H信号となった後、1ビットだけL信号を挟んで再びH信号となったような場合は、バッファアンプの入力電位が十分に低下する前に、再びその電位が立ち上げられる事態が生ずる。この場合、個々のバッファアンプは、パルスの立ち上がりを、短時間で後段に伝達する。その結果、可変遅延手段を通過する間にセットパルスSP10に与えられる遅延時間は、比較的短いものとなる。

【0019】

図3(D)において、最も早く立ち上がっている波形は、試験信号が1ビットのL信号に続いて立ち上げられた場合のSP10の波形である。以下、この場合の立ち上がり時期を「基準時期」と称す。上述した理由により、試験信号が2ビットのL信号の後に立ち上げられた場合、SP10の立ち上がり時期は、基準時期からY1だけ遅れた時期となる。また、試験信号が6ビットのL信号の後に立ち上げられた場合、SP10の立ち上がり時期は、基準時期からY2だけ遅れた時期となる。

【0020】

上述した通り、SP10の立ち上がり時期は、試験信号が立ち上げられる前に、どの程度のビット数L信号に維持されていたかに応じて変化する。この関係は、試験信号がL信号に維持されたビット数を横軸にとり、基準時期からの遅延時間を縦軸にとると、図4に示す

ように表すことができる。以下、上述した原理によってSP10の立ち上がり時期にずれが生ずる現象を「ジッタ」と称す。

【0021】

図1に示す従来の半導体試験装置においては、リセットパルスRP11にも、ジッタが生ずる。すなわち、この装置において、リセットパルスRP11は、PGの発する反転信号の立ち上がりを受けてLからHに変化する。パターン発生器PGは、任意のパターンで反転信号を生成するため、反転信号が、立ち上がり以前にL信号に維持されるビット数は様々な値に変化する。このため、リセットパルスRP11の立ち上がり時期にも、上述した通り、セットパルスSP10に生ずると同様のジッタが生ずる。

【0022】

セットパルスSP10のジッタは、試験波形W1の立ち上がり時期に影響を与える。また、リセットパルスRP11のジッタは、試験波形W1の立ち下がり時期に影響を与える。デジタル信号は、クロック信号との同期が取れていることを前提として処理されるのが一般的である。ジッタの影響により、試験波形W1の立ち上がりや立ち下がりの時期が大きく変化すると、上記の前提が崩れ、DUTが正確に検査できない事態が生ずる。この点、上述した従来の半導体試験装置は、試験信号をDUTまで伝達するための装置として、必ずしも理想的なものではなかった。

【0023】

この発明は、上述のような課題を解決するためになされたもので、デジタル信号を、ジッタを生じさせることなく遅延経路の後段まで伝達することのできる信号伝達回路を提供することを目的とする。

【課題を解決するための手段】

【0024】

第1の発明は、上記の目的を達成するため、信号伝達回路であって、
入力側に供給されるデジタル信号の変化を受けて、第1のパルス幅を有する狭パルスを発生する狭パルス生成回路と、
前記狭パルスの後段に配置され、当該狭パルスの伝達に遅延を生じさせる遅延回路と、
前記遅延回路から出力される狭パルスの終端側エッジを受けてデジタル信号を再生する信号再生回路と、
を有することを特徴とする。

【0025】

また、第2の発明は、第1の発明において、
前記狭パルス生成回路は、入力側に供給されるデジタル信号のアップエッジを受けて狭パルスを生成するアップ側狭パルス生成回路と、前記デジタル信号のダウンエッジを受けて狭パルスを生成するダウン側狭パルス生成回路とを含み、
前記遅延回路は、前記アップ側狭パルス生成回路の後段に配置されるアップ側遅延回路と、前記ダウン側狭パルス生成回路の後段に配置されるダウン側遅延回路とを含み、
前記信号再生回路は、前記アップ側遅延回路から出力される狭パルスの終端側エッジを受けて出力信号を第1値から第2値に変化させ、かつ、前記ダウン側遅延回路から出力される狭パルスの終端側エッジを受けて出力信号を第2値から第1値に変化させることを特徴とする。

【0026】

また、第3の発明は、第2の発明において、前記信号再生回路は、
前記アップ側遅延回路から出力される狭パルスの終端側エッジを受けて第2のパルス幅を有する狭パルスを発生するアップ側第2狭パルス生成回路と、
前記ダウン側遅延回路から出力される狭パルスの終端側エッジを受けて第2のパルス幅を有する狭パルスを発生するダウン側第2狭パルス生成回路と、
前記アップ側第2狭パルス生成回路から出力される狭パルスを、セット端子及びリセット端子の一方を受け、かつ、前記ダウン側第2狭パルス生成回路から出力される狭パルスを、前記セット端子及びリセット端子の他方で受けるSRラッチと、

10

20

30

40

50

を含むことを特徴とする。

【0027】

また、第4の発明は、第3の発明において、前記第1のパルス幅に比して、前記第2のパルス幅が狭いことを特徴とする。

【0028】

また、第5の発明は、第1の発明において、

前記狭パルス生成回路は、入力側に供給されるデジタル信号のアップエッジ及びダウンエッジの双方に対してそれぞれ狭パルスを発生する両エッジ狭パルス生成回路を含み、

前記信号再生回路は、前記遅延回路から出力される狭パルスの終端側エッジを受けて出力信号を第1値と第2値との間で反転させるダウンエッジトリガ式のTフリップフロップを含むことを特徴とする。

10

【発明の効果】

【0029】

第1の発明によれば、入力側に供給されるデジタル信号の変化点を、狭パルスに変換して遅延回路に供給することができる。変化点以前の入力信号の状態は様々であるため、狭パルスの開始側エッジにはジッタの影響が及び易い。他方、狭パルスは第1のパルス幅の後に必ず終了するため、その終端側エッジは、ジッタの影響を受け難い。本発明における信号再生回路は、遅延回路の後段で、狭パルスの終端側エッジを受けてデジタル信号を再生する。このため、本発明によれば、遅延回路の後段まで、ジッタの影響を受けないデジタル信号を伝達することができる。

20

【0030】

第2の発明によれば、入力側に供給されるデジタル信号のアップエッジが、アップ側狭パルス生成回路によって狭パルスに変換され、かつ、そのデジタル信号のダウンエッジがダウン側狭パルス生成回路によって狭パルスに変換される。それらの狭パルスは、それぞれ、アップ側遅延回路とダウン側遅延回路とによって伝送される。信号再生回路は、アップ側遅延回路から出力される狭パルスの終端側エッジと、ダウン側遅延回路から出力される狭パルスの終端側エッジとを受けて、出力信号の状態を反転させることにより、ジッタの影響を受けないデジタル信号を再生することができる。

【0031】

第3の発明によれば、アップ側遅延回路から出力される狭パルスの終端側エッジが、アップ側第2狭パルス生成回路によって狭パルスに変換される。また、ダウン側遅延回路から出力される狭パルスの終端側エッジは、ダウン側第2狭パルス生成回路によって狭パルスに変換される。これらの狭パルスが、SRラッチのセット端子及びリセット端子に供給されることにより、SRラッチによって、ジッタの影響を受けないデジタル信号が生成される。

30

【0032】

第4の発明によれば、遅延回路にはパルス幅の広い狭パルスを供給し、また、SRラッチには、パルス幅の狭い狭パルスを供給することができる。遅延回路に対して幅の太いパルスを供給すれば、その中を伝わる過程で、狭パルスが消滅するのを防ぐことができる。他方、SRラッチに供給する狭パルス幅を狭くすると、セットパルスとリセットパルスの許容間隔を狭くすることができる。つまり、再生されるデジタル信号のパルス幅を狭めることができる。このため、本発明によれば、再生信号の自由度を高めることができる。

40

【0033】

第5の発明によれば、両エッジ狭パルス活性回路によって、入力側に供給されるデジタル信号のアップエッジ及びダウンエッジを、それぞれ狭パルスに変換することができる。また、それらの狭パルスを、遅延回路の後段でダウンエッジトリガ式のTフリップフロップに入力させることにより、ジッタの影響を受けないデジタル信号を再生することができる。

【発明を実施するための最良の形態】

【0034】

50

実施の形態 1 .

[実施の形態 1 の構成]

図 5 は、本発明の実施の形態 1 の信号伝達回路 10 のブロック図である。信号伝達回路 10 は、例えば、半導体デバイスの試験装置において、パターン発生器 PG が発生した試験信号を、試験対象の半導体デバイス (DUT) のピンまで伝達するための回路として用いることができる。

【 0035 】

信号伝達回路 10 は、入力信号の供給を受ける入力端子 12 を備えている。入力端子 12 には、L 信号と H 信号との組み合わせで構成されるデジタル信号が、所定のレートでリアルタイムに供給される。入力端子 12 供給されたデジタル信号は、セットパルス伝達回路 14 と、リセットパルス伝達回路 16 とに並列に供給される。

10

【 0036 】

セットパルス伝達回路 14 は、狭パルス生成回路 18 を備えている。狭パルス生成回路 18 は、入力信号のアップエッジを受けて、第 1 のパルス幅を有する狭パルスを生成する回路である。本実施形態において、第 1 のパルス幅は、伝達すべきデジタル信号の 1 ビットに対応する幅とされている。

【 0037 】

狭パルス生成回路 18 には、遅延調整回路 20 が接続されている。遅延調整回路 20 は、直列に接続された多段のバッファアンプによって構成されている。個々のバッファアンプは、前段からの信号が閾値を超えると出力を H 信号とし、また、前段からの信号が閾値を下回ると出力を L 信号とする。遅延調整回路 20 は、個々のバッファアンプが順次後段のバッファアンプに信号を伝達する過程で、入力信号に所望の遅延を与える。

20

【 0038 】

遅延調整回路 20 には、インバータ 22 を介して、第 2 狭パルス生成回路 24 が接続されている。インバータ 22 は、遅延調整回路 20 から出力される信号を反転させるための回路である。また、第 2 狭パルス生成回路 24 は、インバータ 22 から供給される信号のアップエッジを受けて、第 2 のパルス幅を有する狭パルスを生成する回路である。本実施形態において、第 2 のパルス幅は、上述した第 1 のパルス幅に比して狭い幅とされている。

【 0039 】

リセットパルス伝達回路 16 は、入力端子 12 の直後にインバータ 26 を備えている点を除いて、セットパルス伝達回路 14 と同様の構成を有している。具体的には、リセットパルス伝達回路 16 は、インバータ 26 の後段に、狭パルス生成回路 28、遅延調整回路 30、インバータ 32、及び第 2 狭パルス生成回路 34 を備えている。これらの回路は、それぞれ、セットパルス伝達回路 14 が備える狭パルス生成回路 18、遅延調整回路 20、インバータ 22、及び第 2 狭パルス生成回路 24 と同様に機能する。

30

【 0040 】

セットパルス伝達回路 14 及びリセットパルス伝達回路 16 の後段には、SR ラッチ 36 が配置されている。より具体的には、セットパルス伝達回路 14 が備える第 2 狭パルス生成回路 24 の出力は、SR ラッチ 36 のセット端子に供給されている。また、リセットパルス伝達回路 16 が備える第 2 狭パルス生成回路 34 の出力は、SR ラッチ 36 のリセット端子に供給されている。そして、SR ラッチ 36 の出力は、出力端子 38 に供給されている。

40

【 0041 】

SR ラッチ 36 は、セット端子のみが H レベルとなると出力を H レベルとし、反対に、リセット端子のみが H レベルになると、出力を L レベルとする。そして、SR ラッチ 36 は、セット端子及びリセット端子の双方が L レベルである場合は、従前の出力レベルを維持する。セット端子及びリセット端子の双方を H レベルにすることは、SR ラッチ 36 の出力を不安定にするため禁止事項である。

【 0042 】

本実施形態の信号伝達回路によれば、セットパルス伝達回路 14 の第 2 狭パルス生成回

50

路 2 4 から狭パルスが発せられることにより SRラッチ 3 6 の出力は Hレベルとなる。その後、リセットパルス伝達回路 1 6 の第 2 狭パルス生成回路 3 4 から狭パルスが発せられると、SRラッチ 3 6 の出力は Lレベルに反転する。以後、第 2 狭パルス生成回路 2 4 , 3 4 が交互に狭パルスを発するのを受けて、SRラッチ 3 6 の出力は、Hレベルと Lレベルの間で反転を繰り返す。

【 0 0 4 3 】

[第 1 のパルス幅及び第 2 のパルス幅の設定]

図 6 は、狭パルス生成回路 1 8 が生成する狭パルスの幅、つまり、第 1 のパルス幅が満たすべき条件を説明するための図である。図 6 (A)、図 6 (B) 及び図 6 (C) は、第 1 のパルス幅が十分に確保されている場合に、遅延調整回路 2 0 内の第 n 段 ~ 第 n+2 段のバッファアンプによって順次伝達されるパルスの波形を示す。他方、図 6 (D)、図 6 (E) 及び図 6 (F) は、第 1 のパルス幅が過小であった場合に、第 n 段 ~ 第 n+2 段のバッファアンプによって順次伝達されていく過程でパルス幅が徐々に狭くなっていく様子を表した図である。

10

【 0 0 4 4 】

第 n 段のバッファアンプは、入力信号の値が閾値を超えた段階で、出力信号、つまり、第 n+1 段目のバッファアンプに対する入力信号を立ち上げ始める。また、第 n 段のバッファアンプは、入力信号の値が閾値を下回った段階で、第 n+1 段目のバッファアンプに対する入力信号を立ち下げ始める。この動作は、第 n+1 段目のバッファアンプにおいても、また、第 n+2 段目のバッファアンプにおいても同様に行われる。

20

【 0 0 4 5 】

図 6 (A) に示すように、狭パルスが十分に Hレベルと Lレベルに収束する場合は、その収束の状態が、全ての段のバッファアンプに順次伝達される。従って、この場合は、遅延調整回路 2 0 を伝わる過程で、狭パルスの幅は維持される。他方、図 6 (D) に示すように、第 n 段に対する入力信号が、十分に Hレベルに収束する前に立ち下がり始める場合は、遅延調整回路 2 0 の内部を進むに連れてパルスの幅が徐々に狭くなり、やがては、パルスが消滅する事態が生ずる。

【 0 0 4 6 】

このため、遅延調整回路 2 0 の後段まで狭パルスを確実に伝達させるためには、狭パルス生成回路 1 8 には、十分に Hレベル及び Lレベルに収束するに足る幅を持つ狭パルスが発生させる必要がある。本実施形態において、遅延調整回路 2 0 は、伝達すべきデジタル信号のレートに対応する動作速度を有している。つまり、遅延調整回路 2 0 は、上記のレート下で生ずる 1 ビット幅の信号を適正に伝達できるように構成されている。

30

【 0 0 4 7 】

本実施形態において、狭パルス生成回路 1 8 が発生する狭パルスの幅、つまり、第 1 のパルス幅は、上述した通り、伝達すべきデジタル信号の 1 ビットに対応する幅とされている。このため、本実施形態の構成によれば、狭パルス生成回路 1 8 が生成する狭パルスは、確実に、遅延調整回路 2 0 の後段まで伝達される。

【 0 0 4 8 】

上述した事情は、リセットパルス伝達回路 1 6 においても同様に成立する。このため、本実施形態の構成によれば、狭パルス生成回路 2 8 によって生成される狭パルスは、確実に、遅延調整回路 3 0 の後段まで伝達される。

40

【 0 0 4 9 】

第 2 狭パルス発生回路 2 4 , 3 4 が発生する狭パルスは、遅延回路等を経由することなく、直接 SRラッチ 3 6 に供給される。SRラッチ 3 6 は、狭パルスが瞬間的にでも閾値を超えれば、Hレベルを検知することができる。他方、セット端子とリセット端子に同時に Hレベルが供給されるのを防ぐ意味では、つまり、SRラッチ 3 6 にとっての禁止事項を避けるうえでは、セット端子に供給される狭パルスの幅、及びリセット端子に供給される狭パルスの幅は、狭いほど望ましい。

【 0 0 5 0 】

50

このため、本実施形態では、第2のパルス幅が第1のパルス幅に比して狭く設定されている。より具体的には、第1のパルス幅が、伝達すべきデジタル信号の1ビットに対応しているのに対して、第2のパルス幅は、SRラッチ36がHレベルを認識することのできる最小限の幅とされている。

【0051】

[実施の形態1の動作]

図7は、本発明の実施の形態1の信号伝達回路の動作を説明するための図である。図7中「入力信号」の欄は、図5における入力端子12に供給される信号の波形を示し、「出力信号」の欄は、図5における出力端子38に表れる信号の波形を示している。また、図7に示すA乃至Hの欄は、それぞれ、図5中に示すA乃至Hの点に表れる信号の波形を示している。

10

【0052】

本実施形態において、セットパルス伝達回路14に属する狭パルス生成回路18は、入力信号の立ち上がりを受けて1ビットに相当する狭パルスを生成する。このため、狭パルス生成回路18の後段(A点)には、入力信号の立ち上がりと同期して立ち上がり、その後、1ビットに対応する時間が経過した時点で立ち下がる狭パルスが表れる。

【0053】

リセットパルス伝達回路16に属する狭パルス生成回路28には、インバータ26を介して入力信号が供給される。このため、リセットパルス伝達回路16においては、狭パルス生成回路28の後段(B点)に、入力信号の立ち下がりと同期して立ち上がり、その後、1ビットに対応する時間が経過した時点で立ち下がる狭パルスが表れる。

20

【0054】

A点に表れた狭パルスの立ち上がりは、遅延調整回路20を構成する多段のバッファアンプによって順次伝達される。その結果、遅延調整回路20の後段(C点)には、入力信号の立ち上がりから、所望の遅延時間の後に立ち上がりが生ずる。

【0055】

ところで、入力信号の立ち上がり方には、様々なバリエーションが存在する。従って、A点に表れる狭パルスの立ち上がり方にも、様々なバリエーションが存在する。具体的には、A点に表れる立ち上がりは、1ビット分のL信号に続いて表れることもあり、また、6ビット分のL信号に続いて表れることもある。

30

【0056】

遅延調整回路20を構成する個々のバッファアンプは、立ち上がりの前に維持されたL期間が長いほど、信号の立ち上がりを後段に伝えるのに長い時間を必要とする。この伝達時間の差が積み重なることにより、遅延調整回路20の後段(C点)における立ち上がりのタイミングには、無視できないジッタが生ずる(図7CにおけるY1参照)。

【0057】

遅延調整回路20は、また、A点に表れる狭パルスの立ち下がりも伝達する。狭パルスの立ち下がりには、必ず、1ビット分のH信号に続いて表れる。つまり、立ち下がりに関しては、立ち上がりの場合と異なり、信号レベルの変化の仕方が規格化されている。このため、遅延調整回路20は、A点に生じた立ち下がりも、常にほぼ一定の遅延時間をかけてC点まで伝達する。その結果、C点における立ち下がりのタイミングには、殆どジッタが発生しない(図7CにおけるY2参照)。

40

【0058】

上記の現象は、リセットパルス伝達回路16においても同様に生ずる。すなわち、狭パルス生成回路28の後段(B点)には、入力信号の立ち下がりを受けて立ち上がりが生ずる。従って、入力信号がHレベルを維持するビット数に応じて、B点の立ち上がり方には、種々のバリエーションが生ずる。他方、B点における立ち下がり方は、1ビットのH信号に続くものとして規格化されている。このため、遅延調整回路30の後段(D点)において、立ち上がりのタイミングには無視できないジッタが生じ(図7DにおけるY1参照)、立ち下がりのタイミングには殆どジッタが生じない(図7DにおけるY2参照)。

50

【 0 0 5 9 】

C点及びD点において、狭パルスの立ち上がりのタイミングに生ずる時間のずれY1は、入力信号の立ち上がり前に維持されたLレベルのビット数、或いは、入力信号がHレベルに維持されたビット数との関係で、図8に示すように表すことができる。また、図8に示すように、C点及びD点において、狭パルスが立ち下がるタイミングに生ずるずれY2は、常にY1に比して十分に小さな値である。

【 0 0 6 0 】

図7において、E欄及びF欄は、インバータ22, 32によって反転された狭パルスの波形を表している。インバータ22, 32を通過させることにより、1ビット分だけLレベルを維持する狭パルス(以下、「反転狭パルス」と称す)を生成することができる。C点及びD点におけるジッタの影響は、反転狭パルスに重畳する。すなわち、反転狭パルスには、開始側のダウンエッジに無視できないジッタが発生する一方、終端側のアップエッジには、殆どジッタが発生しない。

10

【 0 0 6 1 】

インバータ22によって生成された反転狭パルスは、第2狭パルス生成回路24に供給される。その結果、第2狭パルス生成回路24の後段(G点)には、E点における反転狭パルスの終端側エッジと同期した、第2のパルス幅の狭パルスが表れる。反転狭パルスの終端側エッジにはジッタが生じていない。このため、G点には、ジッタの影響を受けない狭パルスが表れる。この狭パルスがSRラッチ36のセット端子に供給されることにより、出力信号は、入力信号が立ち上がった後、ジッタの影響を受けることなく、セット側の遅延時間(第1のパルス幅に対応する時間と、遅延調整回路20による遅延時間との和)が経過した時点で正確に立ち上がる。

20

【 0 0 6 2 】

リセット信号伝達回路16のF点に表れる反転狭パルスは、第2狭パルス生成回路34に供給される。その結果、第2狭パルス生成回路34の後段(H点)には、F点の反転狭パルスの終端側エッジと同期した、第2のパルス幅の狭パルスが表れる。この狭パルスがSRラッチ36のリセット端子に供給されることにより、出力信号は、入力信号が立ち下がった後、ジッタの影響を受けることなく、リセット側の遅延時間(第1のパルス幅に対応する時間と、遅延調整回路30による遅延時間との和)が経過した時点で正確に立ち下がる。

30

【 0 0 6 3 】

[実施の形態1における効果]

以上説明した通り、本実施形態の信号伝達回路によれば、入力信号の立ち上がり、ジッタの影響を受けることなく、セット側の遅延時間の後に出力信号に反映させることができる。同様に、この回路によれば、入力信号の立ち下がり、ジッタの影響を受けることなく、リセット側の遅延時間の後に出力信号に反映させることができる。つまり、本実施形態の信号伝達回路によれば、入力端子12に供給されるデジタル信号を、所望の遅延時間を与えたうえで、ジッタの影響を受けることなく出力端子38まで伝達することができる。

【 0 0 6 4 】

更に、本実施形態の構成によれば、セット側の遅延時間、及びリセット側の遅延時間に、それぞれ第1のパルス幅分の時間が含まれている。このため、本実施形態の信号伝達回路によれば、遅延調整回路20, 30だけで遅延時間を確保する回路に比して、大きな遅延時間を発生させることができる。

40

【 0 0 6 5 】

また、本実施形態の構成によれば、セット信号伝達回路14側の遅延調整回路20が発生する遅延時間と、リセット信号伝達回路16側の遅延調整回路30が発生する遅延時間とを異ならせることにより、伝達の過程で、デジタル信号のパルス幅を伸縮させることができる。

【 0 0 6 6 】

50

特に、本実施形態では、第2のパルス幅を十分に狭くしていることから、SRラッチ36の禁止事項に触れることなく、G点の狭パルスとH点の狭パルスとの間隔を、十分に狭くすることができる。この点、本実施形態の構成は、伝達パルスの伸縮に関する自由度を大きく確保するうえで好適である。

【0067】

[実施の形態1の変形例]

図9は、本実施形態の信号伝達回路を多チャンネル化した場合の構成例を示す。図9に示す信号伝達回路は、複数の遅延回路(遅延回路1~3)を備えている。遅延回路1~3は、それぞれ、遅延調整回路20, 30、インバータ22, 32、第2狭パルス生成回路24, 34、SRラッチ36、及び出力端子38を備えている。また、遅延回路1~3は、

10

【0068】

遅延調整回路20, 30には、遅延回路1~3毎に異なる遅延時間が割り振られている。このため、図9に示す信号伝達回路によれば、入力端子12に単一のデジタル信号を供給することにより、異なる遅延処理が施された複数の信号を出力端子38に伝達することができる。この回路は、例えば、半導体デバイスの複数ピンに対して、タイミングを変えて同じ信号を与える必要があるような場合に有効である。

【0069】

ところで、上述した実施の形態1においては、信号伝達回路10に、所望の遅延を生じさせるための遅延調整回路20, 30を、意図的に含ませることとしているが、本発明の構成はこれに限定されるものではない。例えば、デジタル信号を長距離に渡って伝送するような場合には、信号の伝達経路中に、複数の増幅器が配置され、必然的に多段の遅延回路が形成されることがある。本発明の構成は、このような信号伝達経路の中を、ジッタを生じさせることなくデジタル信号を送信するために用いることとしてもよい。

20

【0070】

尚、上述した実施の形態1では、狭パルス生成回路18, 28及びインバータ26が、前記第1の発明における「狭パルス生成回路」に、遅延調整回路20, 30が前記第1の発明における「遅延回路」に、インバータ22, 32、第2狭パルス生成回路24, 34、及びSRラッチ36が前記第1の発明における「信号再生回路」に、それぞれ相当している。

30

【0071】

また、上述した実施の形態1では、狭パルス生成回路18が前記第2の発明における「アップ側狭パルス生成回路」に、インバータ26及び狭パルス生成回路28が前記第2の発明における「ダウン側狭パルス生成回路」に、遅延調整回路20が前記第2の発明における「アップ側遅延回路」に、遅延調整回路30が前記第2の発明における「ダウン側遅延回路」に、Lレベルが前記第2の発明における「第1値」に、Hレベルが前記第2の発明における「第2値」に、それぞれ相当している。

【0072】

また、上述した実施の形態1では、インバータ22及び第2狭パルス生成回路24が前記第3の発明における「アップ側第2狭パルス生成回路」に、インバータ32及び第2狭パルス生成回路34が前記第3の発明における「ダウン側第2狭パルス生成回路」に、それぞれ相当している。

40

【0073】

実施の形態2.

[実施の形態2の構成]

次に、図10及び図11を参照して、本発明の実施の形態2について説明する。図10は、本発明の実施の形態2の信号伝達回路40の構成を説明するためのブロック図である。本実施形態の信号伝達回路40は、入力端子12の後段に、両エッジ狭パルス生成回路42を備えている。

【0074】

50

両エッジ狭パルス生成回路 4 2 は、入力信号の L から H への変化、及び H から L の変化のそれぞれを受けて、狭パルスを発生する回路である。本実施形態では、ここで生成される狭パルスの幅（第 1 のパルス幅）は、少なくとも伝達すべきデジタル信号の倍のレートに対応するように、1 ビット分の幅の半分未満に設定されている。

【0075】

両エッジ狭パルス生成回路 4 2 によって生成された狭パルスは、遅延調整回路 4 4 に供給される。遅延調整回路 4 4 は、上述した第 1 のパルス幅を有する狭パルスを、消滅させることなく伝達させることができるように、伝達すべきデジタル信号の倍以上のレートに対応するように設計されている。

【0076】

遅延調整回路 4 4 を通過した信号は、立ち下がりエッジトリガ式の T フリップフロップ（T-FF）4 6 に供給される。T-FF 4 6 は、前段から供給される信号のダウンエッジを受けて、出力信号を L レベルと H レベルの間で反転させる回路である。T-FF 4 6 の出力は、出力信号として出力端子 3 8 に伝達される。

【0077】

[実施の形態 2 の動作]

図 1 1 は、本実施形態の信号伝達回路 4 0 の動作を説明するための図である。図 1 1 中「入力信号」の欄は、図 1 0 における入力端子 1 2 に供給される信号の波形を示し、「出力信号」の欄は、図 1 0 における出力端子 3 8 に表れる信号の波形を示している。また、図 1 1 に示す A 及び B の欄は、それぞれ、図 1 0 中に示す A 及び B の点に表れる信号の波形を示している。

【0078】

本実施形態において、入力信号が図 1 1 に示すように変化すると、両エッジ狭パルス生成回路 4 2 の後段（A 点）には、入力信号の立ち上がりに同期した狭パルスと、入力信号の立ち下がりに同期した狭パルスとが順次表れる。

【0079】

狭パルスが遅延調整回路 4 4 の内部を進行する過程で、その立ち上がりのタイミングにはジッタが生ずる。他方、その立ち下がりのタイミングには、殆どジッタは生じない。このため、遅延調整回路 4 4 の後段（B 点）には、開始側エッジにはジッタが生じているが、終端側エッジにはジッタが生じていない狭パルスが発生する。尚、遅延調整回路 4 4 の後段に、このような狭パルスが生ずる理由は、実施の形態 1 の場合と同様であるため、ここでは、その詳細な説明は省略する。

【0080】

本実施形態における T-FF 4 6 は、B 点に生ずるダウンエッジを受けて、出力を反転させる。つまり、本実施形態の構成によれば、T-FF 4 6 は、ジッタの影響を受けていないダウンエッジを受けて出力を反転させる。このため、T-FF 4 6 により生成される波形は、ジッタの影響を受けていないものとなる。

【0081】

また、本実施形態の構成によれば、T-FF 4 6 には、入力信号の立ち上がりに対応するダウンエッジと、入力信号の立ち下がりに対応するダウンエッジとが交互に輸入される。その結果、T-FF 4 6 は、結果的に、入力信号と同じ波形の信号再生する。このように、本実施形態の信号伝達回路によれば、実施の形態 1 の回路と同様に、入力端子 1 2 に供給されるデジタル信号を、ジッタの影響を受けることなく、出力端子 3 8 まで伝達させることができる。

【0082】

尚、上述した実施の形態 2 においては、両エッジ狭パルス生成回路 4 2 が前記第 1 の発明における「狭パルス生成回路」に、遅延調整回路 4 4 が前記第 1 の発明における「遅延回路」に、立ち下がりエッジトリガ式の T-FF 4 6 が前記第 1 の発明における「信号再生回路」に、それぞれ相当している。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 8 3 】

【図 1】従来の半導体試験装置のブロック図である。

【図 2】図 1 に示す半導体試験装置の動作を説明するための図である。

【図 3】図 1 に示す半導体試験装置においてジッタが生ずる理由を説明するための図である。

【図 4】図 3 に示す変化点に生ずる時間のずれと、変化点以前に信号がLレベルに維持されたビット数との関係を示す図である。

【図 5】本発明の実施の形態 1 の信号伝達回路のブロック図である。

【図 6】狭パルス生成回路 1 8 が生成する狭パルスの幅、つまり、第 1 のパルス幅が満たすべき条件を説明するための図である。

10

【図 7】本発明の実施の形態 1 の信号伝達回路の動作を説明するための図である。

【図 8】本発明の実施の形態 1 の信号伝達回路において、C 点の立ち上がりタイミングに生ずるずれ Y1 と、D 点の立ち下がりタイミングに生ずるずれ Y2 とを対比して表した図である。

【図 9】本発明の実施の形態 1 の信号伝達回路を多チャンネル化した場合を構成を説明するための図である。

【図 1 0】本発明の実施の形態 2 の信号伝達回路のブロック図である。

【図 1 1】本発明の実施の形態 2 の信号伝達回路の動作を説明するための図である。

【符号の説明】

【 0 0 8 4 】

20

1 0 ; 4 0 信号伝達回路

1 2 入力端子

1 4 セット信号伝達回路

1 6 リセット信号伝達回路

1 8 , 2 8 狭パルス生成回路

2 0 , 3 0 ; 4 4 遅延調整回路

2 2 , 2 6 , 3 2 インバータ

2 4 , 3 4 第 2 狭パルス生成回路

3 6 SRラッチ

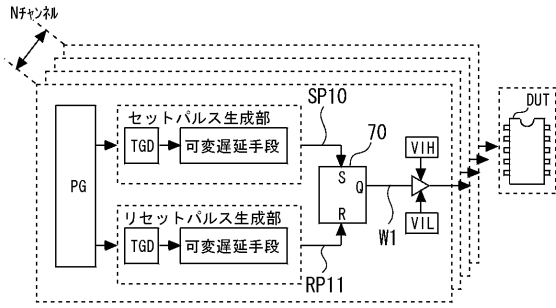
3 8 出力端子

30

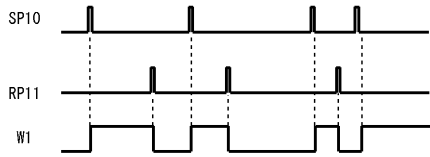
4 2 両エッジ狭パルス生成回路

4 6 立ち下がりエッジトリガ式 T-FF

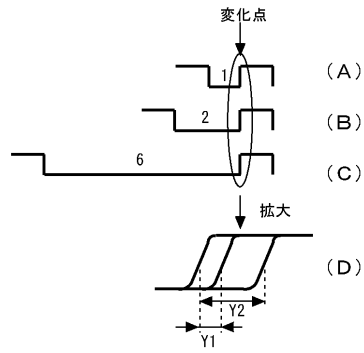
【 図 1 】



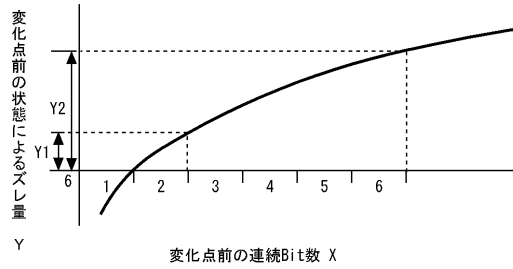
【 図 2 】



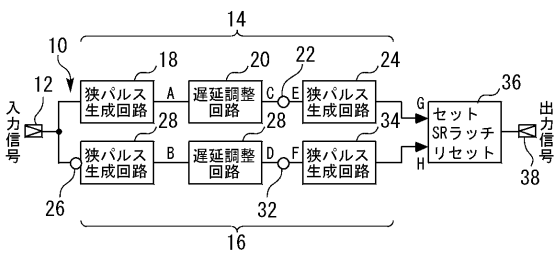
【 図 3 】



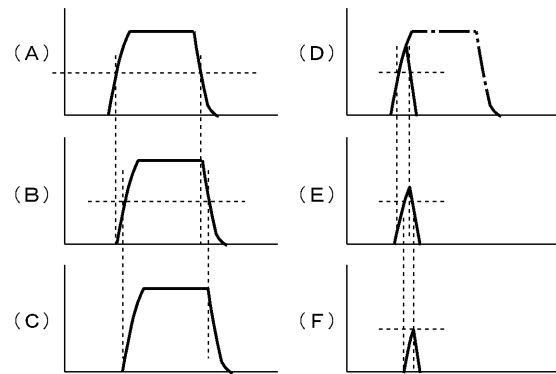
【 図 4 】



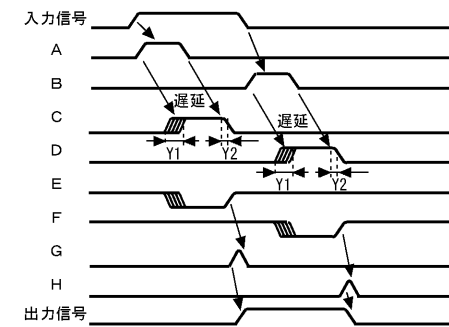
【 図 5 】



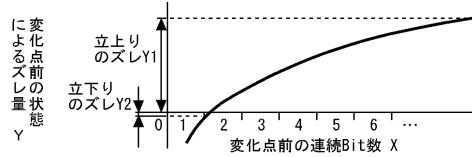
【 図 6 】



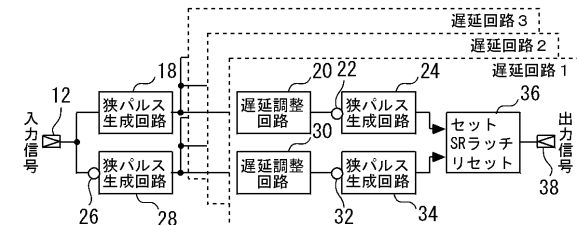
【 図 7 】



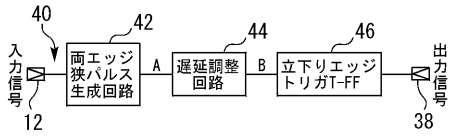
【 図 8 】



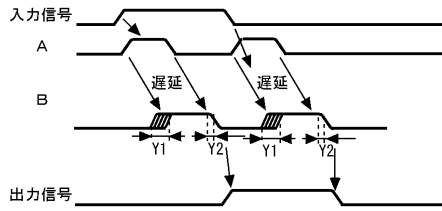
【 図 9 】



【図 1 0】



【図 1 1】



フロントページの続き

Fターム(参考) 5J001 AA11 BB00 BB03 BB06 BB12 CC03 DD08 DD09
5J039 AB04 KK05 KK10 KK13 MM10